

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

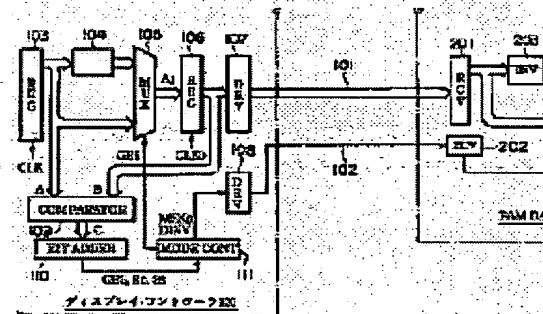
DATA TRANSFER DEVICE

Patent number: JP8008991
Publication date: 1996-01-12
Inventor: OGA KEIJI
Applicant: KEIJI OGA
Classification:
 - international: H04L29/06
 - european:
Application number: JP19940157877 19940616
Priority number(s):

Abstract of JP8008991

PURPOSE: To reduce power consumption by suppressing transition of a logical state because switching current flows and power consumption is increased in a semiconductor integrated circuit every time the logical state transits.

CONSTITUTION: When the data outputted successively from a register 103 is different in the majority bits as compared with data of the previous time, the data is inverted via an inverter 104 and is outputted from a driver 107. As a result, the fluctuation of the logical state in the driver 107 becomes small. When data of the same contents is continuously or repeatedly outputted from the register 103, a mask/control signal is outputted from a mode controller 111 and the change of the signal becomes small also at the inside of a data bus 101 and a RAM/DAC 200. Thus, the power consumption in the corresponded circuit is reduced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-8991

(43) 公開日 平成8年(1996)1月12日

(51) Int.Cl.⁶

H 0 4 L 29/06

識別記号

庁内整理番号

F I

技術表示箇所

9371-5K

H 0 4 L 13/ 00

3 0 5 Z

審査請求 有 請求項の数 8 F D (全 19 頁)

(21) 出願番号 特願平6-157877

(22) 出願日 平成6年(1994)6月16日

(71) 出願人 594116046

大賀 啓二

静岡県三島市柳郷地25

(72) 発明者 大賀 啓二

静岡県三島市柳郷地25

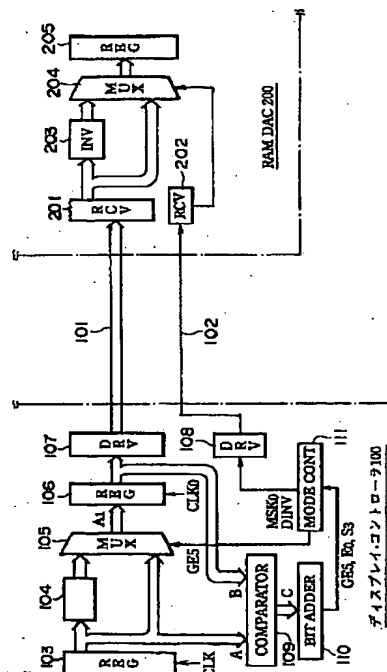
(74) 代理人 弁理士 川▲崎▼ 研二 (外1名)

(54) 【発明の名称】 データ転送装置

(57) 【要約】

【目的】 半導体集積回路は論理状態が遷移する度にスイッチング電流が流れ消費電力が増大するため、かかる論理状態の遷移を抑制することにより、消費電力を低減する。

【構成】 レジスタ103から順次出力されるデータは、前回のデータと比較して過半数のビットにおいて相違する場合、インバータ104を介して反転され、ドライバ107から出力される。これによって、ドライバ107における論理状態の変動が小となる。また、レジスタ103から同一内容のデータが連続して、又は繰り返して出力されると、モードコントローラ111からマスク/制御信号が出力され、データバス101及びRAM・DAC200の内部においても信号変化が小となる。これによって、対応する回路における消費電力が低減される。



1

【特許請求の範囲】

【請求項1】 所定のクロック信号に同期してデータを送信する送信装置と、前記クロック信号に同期して前記データを受信する受信装置とを有するデータ転送装置において、

前記データに変化が無い場合にマスク信号を出力するマスク信号発生手段と、

前記クロック信号を前記マスク信号でマスクして成る被マスク・クロック信号を、前記受信装置に供給するマスク手段とを具備することを特徴とするデータ転送装置。

【請求項2】 所定のクロック信号に同期してデータを送信する送信装置と、前記クロック信号に同期して前記データを受信する受信装置とを有するデータ転送装置において、

複数のビットから成るデータを順次出力する送信装置と、このデータを受信する受信装置とを有するデータ転送装置において、

第1のデータとそれに続く第2のデータとを各ビット毎に比較し、前記第1のデータと前記第2のデータとが過半数のビットにおいて相違する場合は、前記第2のデータのビットパターンを反転するとともに反転表示信号を出力する手段を具備することを特徴とするデータ転送装置。

【請求項3】 前記受信装置は、前記被マスク・クロック信号を順次遅延させ遅延信号を出力する遅延手段と、

前記各遅延信号に基づいて動作する複数段の処理回路から成る、パイプライン処理回路とを具備することを特徴とする請求項2に記載のデータ転送装置。

【請求項4】 所定のクロック信号に同期してデータを送信する送信装置と、前記クロック信号に同期して前記データを受信する受信装置とを有するデータ転送装置において、

前記受信回路は、前記反転表示信号が供給されると受信したデータのビットパターンを反転する受信データ反転手段を具備することを特徴とするデータ転送装置。

【請求項5】 所定のクロック信号に同期してデータを送信する送信装置と、

前記クロック信号に同期して前記データを受信する受信装置とを有するデータ転送装置において、

前記クロック信号を所定の分周比で分周した後に前記受信装置に伝送し、前記受信装置においては、伝送されたクロック信号から元のクロック信号を再生して用いることを特徴とするデータ転送装置。

【請求項6】 所定のクロック信号に同期してデータを送信する送信装置と、前記クロック信号に同期して前記データを受信する受信装置とを有するデータ転送装置において、

前記送信装置においては、転送されたデータの最新のn回分を記憶する転送データ記憶手段と、

2

前記転送データ記憶手段からn回前の転送データを読み出し、今回送信するデータと比較する比較手段と、

前記比較手段によって一致が検出された場合には、それを示す指示信号を前記受信装置に送出する制御手段とを具備することを特徴とするデータ転送装置。

【請求項7】 所定のクロック信号に同期してデータを送信する送信装置と、前記クロック信号に同期して前記データを受信する受信装置とを有するデータ転送装置において、

10 前記受信装置においては、受信したデータの最新のn回分を記憶する記憶手段を有し、前記送信装置から送信されるデータを受信データとして後段に出力するとともに前記記憶手段内に記憶し、前記送信装置から前記指示信号が供給された場合は、前記記憶手段内のn回前のデータを受信データとして後段に出力する受信制御手段とを具備することを特徴とするデータ転送装置。

【請求項8】 前記送信装置は、前記クロック信号を分周して出力する分周出力手段を有し、前記受信装置は、分周されたクロック信号に基づいて元のクロック信号を再生するクロック信号再生手段を具備することを特徴とする請求項1、2、3、4、6、7いずれかに記載のデータ転送装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体集積回路間に用いて好適なデータ転送装置に関する。

【0002】

【従来の技術】近年、LSIの製造技術が向上し、より微細な加工が可能になっている。すなわち、回路の寸法が小さくなり、高集積化、高速化が実現されている。一方、回路方式としては、CMOS技術の採用により、低消費電力化が図られている。

【0003】

【発明が解決しようとする課題】ところで、CMOS回路は、静止状態における消費電力は僅かであるが、論理状態が遷移する際にスイッチング電流が流れ、電力が消費される。従って、デバイス全体の消費電力は、動作周波数と動作ゲート数にほぼ比例して増大する。近年、LSIが高集積化、高速化されつつあることにより、その消費電力および発熱量が多大なものとなり、性能上、実装上の種々の問題／制限を招いている。このような問題は、CMOS装置間をケーブルでつないで駆動する場合にも同様に発生する。すなわち、発熱量が大となると、必然的に信頼性が低下し、不良・故障等が発生し易くなる。また、安価で量産性に富むプラスチックパッケージを使用することができず、セラミックパッケージを使用せざるを得ない。さらに、消費電力が1ワット程度を越え、放熱板等も使用する必要が生じる。この発明は上述した事情に鑑みてなされたものであり、高集積化・高速化を実現しつつ消費電力を抑制するデータ転送装置

およびデータ転送方法を提供することを目的としている。

【0004】

【課題を解決するための手段】上記課題を解決するため請求項1に記載の構成にあっては、所定のクロック信号に同期してデータを送信する送信装置と、前記クロック信号に同期して前記データを受信する受信装置とを有するデータ転送装置において、前記データに変化が無い場合にマスク信号を出力するマスク信号発生手段と、前記クロック信号を前記マスク信号でマスクして成る被マスク・クロック信号を、前記受信装置に供給するマスク手段とを具備することを特徴とする。

【0005】また、請求項2に記載の構成にあっては、所定のクロック信号に同期してデータを送信する送信装置と、前記クロック信号に同期して前記データを受信する受信装置とを有するデータ転送装置において、複数のビットから成るデータを順次出力する送信装置と、このデータを受信する受信装置とを有するデータ転送装置において、第1のデータとそれに続く第2のデータとを各ビット毎に比較し、前記第1のデータと前記第2のデータとが過半数のビットにおいて相違する場合は、前記第2のデータのビットパターンを反転するとともに反転表示信号を出力する手段を具備することを特徴としている。

【0006】また、請求項3に記載の構成にあっては、前記受信装置は、前記被マスク・クロック信号を順次遅延させ遅延信号を出力する遅延手段と、前記各遅延信号に基づいて動作する複数段の処理回路から成るパイプライン処理回路とを具備することを特徴としている。

【0007】また、請求項4に記載の発明にあっては、所定のクロック信号に同期してデータを送信する送信装置と、前記クロック信号に同期して前記データを受信する受信装置とを有するデータ転送装置において、前記受信回路は、前記反転表示信号が供給されると受信したデータのビットパターンを反転する受信データ反転手段を具備することを特徴とする。請求項5に記載の発明にあっては、所定のクロック信号に同期してデータを送信する送信装置と、前記クロック信号に同期して前記データを受信する受信装置とを有するデータ転送装置において、前記クロック信号を所定の分周比で分周した後に前記受信装置に伝送し、前記受信装置においては、伝送されたクロック信号から元のクロック信号を再生して用いることを特徴とする。請求項6に記載の発明にあっては、所定のクロック信号に同期してデータを送信する送信装置と、前記クロック信号に同期して前記データを受信する受信装置とを有するデータ転送装置において、前記送信装置においては、転送されたデータの最新のn回分を記憶する転送データ記憶手段と、前記転送データ記憶手段からn回前の転送データを読出し、今回送信するデータと比較する比較手段と、前記比較手段によって一

致が検出された場合には、それを示す指示信号を前記受信装置に送出する制御手段とを具備することを特徴とする。請求項7に記載の発明にあっては、所定のクロック信号に同期してデータを送信する送信装置と、前記クロック信号に同期して前記データを受信する受信装置とを有するデータ転送装置において、前記受信装置においては、受信したデータの最新のn回分を記憶する記憶手段を有し、前記送信装置から送信されるデータを受信データとして後段に出力するとともに前記記憶手段内に記憶し、前記送信装置から前記指示信号が供給された場合は、前記記憶手段内のn回前のデータを受信データとして後段に出力する受信制御手段とを具備することを特徴とする。請求項8に記載の発明にあっては、請求項1, 2, 3, 4, 6, 7いずれかに記載のデータ転送装置において前記送信装置は、前記クロック信号を分周して出力する分周出力手段を有し、前記受信装置は、分周されたクロック信号に基づいて元のクロック信号を再生するクロック信号再生手段を具備することを特徴とする。

【0008】

【作用】請求項1および3に記載の構成にあっては、データに変化が無い場合にはクロック信号がマスクされるから、マスクされた期間内においてデータの送受信が休止する。請求項3に記載の構成にあっては、さらに、パイプライン処理回路の各段において、変化の無いデータに対する処理が休止する。また、請求項2に記載の構成にあっては、第1のデータと第2のデータとが過半数のビットにおいて相違する場合は、第2のデータのビットパターンが反転されるから、送信装置の出力段における論理状態の変動が小となり、請求項4に記載の構成にあっては、先に第1のデータ反転手段によって反転されたデータが、第2のデータ反転手段によって元の状態に戻される。請求項5, 8に記載の構成にあっては、クロック信号が高速であっても、送信装置と受信装置との間は分周されたクロック信号が伝送されるので、消費電力を低減できるとともに、不要輻射電波、雑音妨害電波等も減少させることができる。請求項6に記載の構成にあっては、n回毎に同じデータが繰り返し転送される場合には、送信装置はデータ転送をせず、その指示信号だけを送出する。一方、請求項7に記載の構成にあっては、その指示信号が出力されている場合には、n回前の転送データを受信データとして後段に送出する。これにより、同じデータが周期的に繰り返される場合には、転送用のデータバスが駆動されないで、低消費電力化を大幅に図ることができる。

【0009】

【実施例】

A. 実施例の構成

A. 1. 実施例の全体構成

以下、図面を参照してこの発明の一実施例について説明する。図1において400はメモリであり、ホストコン

5

ピュータ（図示せず）からシステムインターフェイス I F、ディスプレイコントローラ 100 および「32」ビットのデータバス 401 を介して、各種の表示データが書込まれる。ここで、メモリ 400 に書込まれる表示データとは、表示画面のドットに一对一に対応した画素毎のデータ（以下、ドットデータという）を表す。

【0010】このドットデータは、RAM・DAC（デジタル・アナログ変換器）200 にディスプレイコントローラ 100 を介して供給され、各ドット毎の三原色（RGB）のレベルに変換された後、ディスプレイ 300 に供給される。なお、ディスプレイ・コントローラ 100 は、「1」ドットに割り当てられるビット長に応じて、RAM・DAC 200 に各種のモードを設定することが可能になっている。例えば、「1」ドットあたりのデータ長が「24」ビットであれば、約「1600万」色の表示が可能であり、「16」ビットであれば約「6万5000」色、「8」ビットであれば「256」色の表示が可能になる。また、データ長が「4」ビットであれば16色のカラー表示または「16」階調のモノクロ表示、「1」ビットであれば「2」階調のモノクロデータの表示が可能である。

【0011】次に、500 はクロック回路であり、他の構成要素にクロック信号 CLK およびその反転信号 $\overline{\text{CLK}}$ を供給する。なお、本明細書においては、各種の信号の反転信号を表記する場合、その信号名の前に記号「 $\overline{}$ 」を付すこととする。

【0012】A. 2. ディスプレイ・コントローラ 100 と RAM・DAC 200 のインターフェース部分の構成

次に、図2を参照し、ディスプレイ・コントローラ 100 と RAM・DAC 200 のインターフェース部分の構成を説明する。まず、ディスプレイ・コントローラ 100 および RAM・DAC 200 は、各々独立した IC として構成されている。従って、ディスプレイ・コントローラ 100 の最終段に設けられているドライバ 107、108 は、IC の外部に信号を出力するものであり、他の構成要素と比較して高い駆動能力を有する必要がある。この場合、ドライバ 107、108 が駆動するデータバス 101、コントロール信号バス 102 は、数フィートのケーブルになることもあり、また、PCB 内部バス、IC 等の内部バスになることもある。しかしながら、ドライバ 107、108 の駆動能力を高くすると、同時にスイッチング電流も大とならざるを得ない。そこで、このインターフェース部分は、以下詳述するように、ドライバ 107、108 における論理状態の遷移頻度をきわめて小とするように構成されている。

【0013】ディスプレイ・コントローラ 100 の内部において、103 は、所定ビットのレジスタであり、ディスプレイ・コントローラ 100 において生成されたドットデータが逐次格納される。なお、レジスタ 103 の

6

ビット数は、ドットデータのビット数に応じて設定されるが、以下においてドットデータが8ビットの場合を例にとって説明する。104 はインバータであり、レジスタ 103 の出力データの各ビットを反転して出力する。105 は切換回路であり、レジスタ 103 の出力データと、インバータ 104 を介して反転されたデータとが入力され、信号 GE 5 に基づいて、一方を選択し出力する（詳細は後述する）。106 はレジスタであり、クロック CLK₀ によって切換回路 105 の出力データをラッチし出力する。レジスタ 106 から出力されたデータは、ドライバ 107 に供給され、データバス 101 を介して受信回路 201 に供給される。

【0014】ここで、各構成要素 109~111 の詳細を図3を参照して説明する。109 は比較器であり、レジスタ 103 の出力データ（データ A）の各ビットと、レジスタ 106 の出力データ（データ B）の各ビットとの排他的論理和を演算し、演算結果（データ C）を出力する。

【0015】110 はビット・アダーであり、データ C を構成する各ビット C₀~C₇ の状態に応じて、後述する信号 S₀、E₀ および GE 5 をモードコントローラ 111 に出力するように構成されている。ビット・アダー 110 の内部において、1101A~1101H は2ビットアダーであり、これらの回路図および真理値表を図4(a)、(b)に示す。2ビットアダー 1101A~1101D と OR 回路 1102 とによって4ビットアダーが構成されており、ビット C₀~C₃ のうち、「1」のビットの数がデータ F として出力される。すなわち、データ F は、2進表現で最大値が「100」、最小値が「000」となる3ビットのデータになる。

【0016】同様に、2ビットアダー 1101E~1101H と OR 回路 1103 とによって4ビットアダーが構成されており、ビット C₄~C₇ のうち「1」のビットの数がデータ G として出力される。1108 は加算器であり、データ F とデータ G とを加算し、加算結果をデータ S として出力する。従って、データ S は、2進表記で最大値が「1000」、最小値が「0000」となる4ビットのデータになる。すなわち、データ S の最上位ビットは、ビット C₀~C₇ の全てが「1」の場合に「1」になり、それ以外の場合には「0」になる。この最上位ビットは、信号 S₀ としてモードコントローラ 111 に供給される。

【0017】また、OR 回路 1104、1105 および NOR 回路 1107 を介して、信号 E₀ が出力される。信号 E₀ は、ビット S₀~S₃ の全てが「0」すなわちビット C₀~C₇ の全てが「0」である場合に「1」になり、それ以外の場合は「0」になる。また、AND 回路 1109 および OR 回路 1106 を介して信号 GE 5 が出力される。信号 GE 5 は、ビット C₀~C₇ のうち過半数（「5」以上）のビットが「1」である場合に「1」

7

になり、それ以外の場合は“0”になる。切換回路105（図2参照）は、“1”の信号GE5が供給されると、インバータ104において反転されたデータをデータA1として出力する一方、“0”の信号GE5が供給されるとデータAをデータA1として出力する。従って、データA1とデータBの各ビットとを比較すると、相違するビットは「4」以下になることが判る。

【0018】次に、モードコントローラ111の内部において、1116はレジスタであり、クロック信号CLKの立ち上がりに同期して信号GE5をラッチし、ラッチした信号を信号DINVとして出力する。従って、データAとデータBとが「5」以上のビットにおいて相違する場合は信号DINVは“1”になり、それ以外の場合は信号DINVは“0”になる。

【0019】モードコントローラ111の内部において、AND回路1111は、信号S₀と信号DINVとが共に“1”である場合、すなわち「データBは反転されたデータであって、かつ、データAとデータBとが全ビットにおいて相違する場合」に“1”信号を出力する。一方、AND回路1112は、信号DINVが“0”であって信号E₀が“1”である場合、すなわち「データBは反転されていないデータであって、かつ、データAとデータBとが全ビットにおいて一致する場合」に“1”信号を出力する。

【0020】従って、AND回路1111、1112のうち何れか一方が“1”信号を出力する条件は、レジスタ103から同一のデータが連続して出力された場合である。OR回路1113は、AND回路1111、1112の出力の論理和を信号EQUとして出力する。1115はラッチであり、クロック信号CLKのレベルが0のときに信号EQUの値を取り込み、クロック信号CLKが1に立ち上がるとその直前の値を保持し続ける。このラッチ1115の反転出力端子 \overline{Q} の出力信号は、信号MSK₀として出力され、この信号MSK₀とクロック信号CLKの論理積により信号CLK₀が作成される。

【0021】ここで、図2に戻り、モードコントローラ111から出力された信号DINV、MSK₀は、ドライバ108およびコントロール信号バス102を介して、RAM・DAC200に供給される。RAM・DAC200の内部において、201、202は受信回路であり、各バス101、102を介して供給されたデータおよびコントロール信号を受信する。203はインバータであり、受信回路201において受信したデータを反転して出力する。204は切換回路であり、信号DINVが“0”の場合は受信回路201の出力データを、信号DINVが“1”の場合はインバータ203の出力データを選択し、選択したデータをレジスタ205に供給する。そして、レジスタ205においては、供給されたデータがラッチされる。

【0022】A. 3. RAM・DAC200の内部構成

8

次に、図5を参照してRAM・DAC200の詳細構成を説明する。まず、図に示すレジスタ205は、上述したように切換回路204から出力された「8」ビット幅のデータをラッチする。次に、206は、バッファであり、レジスタ205から出力される8ビットのデータを、指定されるモードに応じて8または24ビットのデータとして出力する。例えば、データが8ビット幅のカラーコードであれば、スルー状態でそのままルックアップテーブル208に供給する。また、3バイトを使ってR、G、Bの各色のデータを順次転送するようなモードであれば、これらの3バイトデータを並列の24ビットにして出力する。さらに、2バイトを使って色を指定するモードもあり、例えば、R、G、B各5ビットにダミー1ビットを加えた方式、あるいはGを6ビット、他を5ビットにする方式などがある。これらの場合には適宜ビットを補い（通常“0”を補う）、合計で24ビットにして出力する。バッファ206において、上述の処理を行うには、複数のレジスタを用いてデータを並列に並べるような構成が必要になるが、この場合には各レジスタを2つのステージに分けて配置するので、2つのクロックCLK₂、CLK₃が使用される。また、どのモードにおいてもステージ数を同じにするため、例えば、8ビットのデータをスルー状態で出力する場合にも、レジスタを2回通過するように構成する。

【0023】次に、ルックアップテーブル208においては、供給されたデータ（例えば「0」～「255」のカラーコード）を、三原色（RGB）の各強度を示す画像データに変換し、レジスタ210を介して切換回路212に供給する。また、レジスタ209に供給されるデータは、レジスタ211を介して切換回路212に供給される。切換回路212にあつては、レジスタ210、211から出力されたデータの何れか一方が動作モードに応じて選択され、その結果がレジスタ213にラッチされる。

【0024】レジスタ213から出力された画像データは、D/Aコンバータ214を介してアナログ信号に変換され、ディスプレイ300（図1参照）に供給される。このように、RAM・DAC200は多段式パイプライン回路として構成されている。ここで、レジスタ205、209、210、211、213およびルックアップテーブル208の動作に対しては各々「1」クロック、バッファ206の動作に対しては「2」クロックに相当する動作時間が必要である。

【0025】次に、221～226はクロックマスク回路であり、パイプラインを構成する各段の所用クロック数に応じて設けられている。ここで、その詳細を図7を参照して説明する。図において、221bはレジスタであり、反転クロック信号 \overline{CLK} の立ち上がりに同期して信号MSK₀をラッチし、ラッチした信号を信号MSK₁として出力する。従って、信号MSK₁は、信号MSK₀

9

に対して「1」クロックだけ遅延した信号になる。また、221aはAND回路であり、クロック信号CLKと信号MSK₁との論理積をクロック信号CLK₁としてレジスタ205に供給する。すなわち、信号MSK₁が“0”である場合にはレジスタ205にクロック信号が供給されず、レジスタ205はラッチ動作を行わないことになる。

【0026】他のクロックマスク回路222~226もこれと同様に構成されている。従って、パイプラインの後段になるほど遅延したマスク信号MSK₁~MSK₆が各クロックマスク回路222~226に供給され、これによってマスクされたクロック信号CLK₂~CLK₆がパイプラインの各段に供給されることになる。

【0027】B. 実施例の動作

B. 1. インターフェース部の動作

次に、図2に示したインターフェース部の動作を具体例を挙げて説明する。図6は図2における各部の信号波形を示すタイムチャートの例であり、時刻 t_{00} においてクロック信号CLKが立上ると、レジスタ103にデータがラッチされる。ここで、レジスタ103の出力をデータAとする。なお、データAは、値 $D_0 = “00001111”$ であるとする。また、初期状態においては、レジスタ106にデータ $DI = “00000000”$ が設定されており、この値がデータBとして比較器109に供給される。これにより、比較器109においては、データAとデータBが比較される。この場合、両者のビットの相違は「4」であるので、信号E₀およびS₃が“0”になり、信号EQUも“0”になる。そして、信号GE5も“0”となるから、切換回路105においてデータAが選択され、これがデータA1として出力される(図6(c)の時刻 t_{01} 参照)。ここで、信号DINVの初期値も“0”とする。次に、クロック信号CLKが“0”レベルになる時刻 $t_{02} \sim t_{10}$ においては、ラッチ1115の \overline{Q} 出力信号、すなわち、信号MSK₀は、信号EQUの値を反転した信号になるから、この期間においては、信号MSK₀は“1”になる。この値“1”は、時刻 t_{10} においてクロック信号が立ち上がったときに、ラッチ1115に保持されるため、信号MSK₀は時刻 $t_{10} \sim t_{12}$ の間も“1”の値を保つ(CLK₀はマスクされない)。

【0028】次に、時刻 t_{10} においてクロック信号CLKが立上ると、レジスタ103に新たなデータAがラッチされる。ここに、データAの内容は、値 $D_1 = “11000000”$ とする。また、クロック信号CLKの立ち上がりと共に(ゲート一段遅れ)、信号CLK₀が立ち上がり、これにより、先に切換回路105から出力されたデータA1(“00001111”)がレジスタ106にラッチされ、データBとして出力される。このデータBは、比較器109に供給されるとともに、ドライバ107およびデータバス101を介してRAM・D

10

AC200に供給される。また、クロックCLKの立ち上がり時においては、レジスタ1116が信号GE5の値を取り込むから、信号DINVは初期状態の“0”を維持する。ここで、データA、Bの各ビットを比較すると、「6」ビットの相違がある。従って、ビット・アダー110から“1”の信号GE5が出力される。そして、信号GE5が“1”信号になると、切換回路105はインバータ104の出力を選択し、この結果、データA1の値は、時刻 t_{10} より少し遅れたタイミング(時刻 t_{11})において $\overline{D_1} = “00111111”$ になる。

【0029】ところで、上述したように、ビットS₀~S₃の何れかが“1”である場合、すなわち、データA、B間において少なくとも1ビットの相違が有る場合は、信号E₀は“0”になる。今回は6ビットの相違があるから、信号E₀は“0”になる。また、ビットの相違数の「6」を2進数で表記すると“0110”であるから、最上位ビットである信号S₃も“0”になる。従って、モードコントローラ111の内部において、AND回路1111、1112の双方が“0”信号を出力するから、信号EQUは“0”になる。そして、時刻 $t_{12} \sim t_{20}$ においてクロック信号CLKが“0”レベルになると、ラッチ1115の反転信号である信号MSK₀の値は、信号EQUを反転した値になるから、この期間においても“1”信号を維持する。

【0030】次に、時刻 t_{20} においてクロック信号CLKが立上ると、“1”の信号GE5がレジスタ1116にラッチされ、“1”の信号DINVが出力される。この信号DINVは、ドライバ108を介してRAM・DAC200に供給される。また、ラッチ1115は、時刻 t_{20} になると、その直前に供給されている値を保持するから、信号MSK₀は時刻 $t_{20} \sim t_{22}$ の間は、依然として“1”を維持する(CLK₀はマスクされない)。

【0031】また、時刻 t_{20} においてクロック信号CLKが立ち上がることに伴い、レジスタ103に新たなデータAがラッチされる。ここに、データAの内容は、値 $D_2 = “11110000”$ である。そして、先に切換回路105から出力されたデータA1(値 $\overline{D_1} = “00111111”$)が信号CLK₀の立ち上がり(時刻 t_{20})において、レジスタ106にラッチされ、データBとして出力される。ここで、データA、Bの各ビットを比較すると、相違するビット数は「6」である。従って、ビット・アダー110から“1”の信号GE5が出力される。ここで、信号EQUは“0”となる。また、信号GE5が“1”であるから、切換回路105がインバータ104の出力データを選択する(時刻 t_{21})。したがって、時刻 t_{21} におけるデータA1は、 $\overline{D_2} = “00001111”$ になる。また、時刻 $t_{22} \sim t_{30}$ においては、クロック信号CLKが“0”になるので、ラッチ1115の反転出力である信号MSK₀の値は信号E

11

QUの反転値、すなわち、値“1”になる。そして、時刻 t_{30} になってクロック信号CLKが立ち上がると、ラッチ1115が入力端の値を取り込むため、信号MSK₀は、時刻 t_{32} に至るまで値“1”を保持する。そして、信号GE5は、レジスタ1116にラッチされ、これにより、信号DINVが引続き“1”に保持される。

【0032】また、時刻 t_{30} においてクロック信号CLK、CLK₀が立上ると、レジスタ103に新たなデータAがラッチされるとともに、レジスタ106にデータA1がラッチされてデータBとして出力される。ここに、データAの内容は、値D3=“11110000”とする。すなわち、値D3は先の値D2と同一である。また、データBの内容は、 $\overline{D2}$ =“00001111”になる。ここで、データA、Bは全ビットにおいて相違するから、信号S₃およびGE5が“1”になる。そして、信号DINVは先に“1”に設定されているから、AND回路1111の両入力端に共に“1”信号が供給され、OR回路1113を介して、“1”の信号EQUがラッチ1115に供給される。なお、信号EQUが“1”になる場合は、前述したように、同一のデータが連続して出力されるときである。また、信号GE5が“1”になるため、切換回路105がインバータ104の出力データを選択し、この結果、時刻 t_{31} においてデータA1の内容は $\overline{D3}$ になる。

【0033】次に、時刻 $t_{32} \sim t_{40}$ においてクロック信号CLKが“0”になると、ラッチ1115の反転出力である信号MSK₀の値は、信号EQUの反転値になるため、その値は“0”になる。これにより、時刻 $t_{40} \sim t_{42}$ の間、信号CLK₀はマスクされるので、CLK₀は立ち上がらない。また、ビットの相違数は「5」以上であるから、信号GE5は“1”になり、これが時刻 t_{40} においてラッチ1116に取り込まれ、この結果、信号DINVは引続き“1”に保持される。

【0034】また、時刻 t_{40} においてクロック信号CLKが立上ると、レジスタ103に新たなデータAがラッチされる。ここに、データAの内容は、値D4=“00111111”とする。また、このタイミングにおいてはクロック信号CLK₀は立ち上がらないので（上述の時刻 $t_{40} \sim t_{42}$ ）、レジスタ106の内容は変化せず、この結果、データBは、前のデータA1すなわち値 $\overline{D2}$ =“00001111”（= $\overline{D3}$ ）である。この場合、データA、B間で相違するビット数は「2」であるから、信号GE5は時刻 t_{40} でクロック信号CLKが立ち上がった後に“0”になる（図6（j）参照）。このタイミングにおいては、切換回路105がレジスタ103の出力信号を選択するから、データA1は値D4=“00111111”になる（図6（c）の時刻 t_{41} 参照）。一方、データA、B間で「2」ビットの相違が存することにより信号E₀、S₃が“0”になるから、信号EQUが“0”になる。したがって、時刻 $t_{42} \sim t_{50}$

12

においてクロック信号CLKが“0”になると、信号MSK₀は“1”になり、時刻 t_{50} においてクロック信号CLKが立ち上がると値“1”が保持される。一方、信号DINVは、その時点の信号GE5の値（“0”）がレジスタ1116にラッチされることにより“0”になる。

【0035】また、時刻 t_{50} においてクロック信号CLK、CLK₀が立上ると、レジスタ103に新たなデータAがラッチされるとともに、レジスタ106がデータA1をラッチし、データBとして出力する。ここに、データAの内容は、値D5=“00111111”とする。すなわち、値D5は値D4と同一である。また、データBは、先のデータA1すなわち値D4=“00111111”になる。このとき、信号GE5は“0”となり、かつ、データA、Bが一致するから信号E₀は“1”になる。従って、AND回路1112の両入力端に共に“1”信号が供給されるから、OR回路1113を介して“1”の信号EQUがラッチ1115に供給される。従って、時刻 $t_{52} \sim t_{60}$ においてクロック信号CLKが“0”になると、信号MSK₀は“0”になり、時刻 t_{60} においてクロック信号CLKが立ち上がった際に値“0”が保持される。

【0036】また、時刻 t_{60} においてクロック信号CLKが立上ると、レジスタ103に新たなデータAがラッチされる。ここに、データAの内容は、D6=“11000000”とする。すなわち、値D6は、値 $\overline{D5}$ と同一である。また、クロックCLK₀は立ち上がらないので、レジスタ106はデータをラッチせず、この結果、データBは、前のデータD4=“00111111”（=D5）になる。ここで、データA、Bは全「8」ビットが不一致であるから、信号E₀は“0”、信号S₃は“0”、信号GE5は“1”になる。従って、データA1は、値 $\overline{D6}$ =“00111111”になり（時刻 t_{61} ）、時刻 t_{70} においてクロック信号CLKが立上ると、この値がデータBに設定される。また、時刻 t_{70} においてクロック信号CLKが立ち上がると、“1”の信号GE5がレジスタ1116にラッチされ、信号DINVが“1”になる。

【0037】一方、RAM・DAC200内の切換回路204においては、信号DINVが“0”である場合には受信回路201の出力データが選択され、信号DINVが“1”である場合にはインバータ203の出力データが選択され、選択されたデータがレジスタ205にラッチされる。従って、インバータ104を介して反転されたデータは、インバータ203を介して再度反転され元の内容に戻るから、レジスタ103から順次出力されたデータが、そのままの値を保持しつつレジスタ205に転送される。

【0038】一方、図6（b）および（d）を参照すると、ドライバ107から出力されるデータBは、データAと

13

比較して、論理状態の遷移する頻度がきわめて小さいことが判る。これによって、ドライバ107におけるスイッチング電流が抑制され、ディスプレイ・コントローラ100の消費電力が減少する。

【0039】B. 2. RAM・DAC200の動作

RAM・DAC200は、信号MSK₀が“1”に保持されている場合には、周知のRAM・DACと同様に動作する。すなわち、レジスタ205からD/Aコンバータ214に向かって、画像データが適宜変換されつつ伝送され、D/Aコンバータ214からRGB信号が順次出力される。

【0040】一方、図6(h)を参照すると、レジスタ103から同一のデータが連続して出力された場合に、信号MSK₀は、“0”になる。従って、クロック信号CLK₁は、同図(1)に示す波形を“1”周期遅延させたものと同様になり、マスクされた期間内はレジスタ205におけるラッチ動作は行われない。なお、クロック信号CLK₁がマスクされる期間は元々同一のデータが伝送されている期間であるから、レジスタ205の内容が更新されないことはなんら支障にならない。

【0041】信号MSK₀は、各クロックマスク回路221~228を介して“1”クロックづつ遅延されるから、パイプライン内を伝送される画像データに同期して、マスクされたクロック信号CLK₁~CLK₈が各回路に供給される。なお、クロック信号CLK、CLK₀、CLK₁、CLK₂、信号MSK₀、MSK₁およびMSK₂のタイムチャートの一例を図8に示す。このように、クロック信号の一部をマスクすると、対応する回路が動作しないためにスイッチング電流が抑制され、RAM・DAC200における消費電力が減少する。特に、一般的な画像データにおいては、各ドットデータは隣接するドットのものと同じである場合が大部分である。すなわち、ほとんどのドットに対してクロック信号がマスクされることになり、消費電力を大幅に減少させることが可能である。

【0042】C. 変形例

本発明は上述した実施例に限定されるものではなく、例えば以下に示すように、種々の変形が可能である。

C. 1. 変形例1

①変形例の構成

図9は、図2において説明したインターフェース部の変形例である。図において、120はレジスタであり、クロック信号CLKの立上がりとともにデータAをラッチし、ラッチしたデータをデータB₁として出力する。比較器109は上記実施例のものと同様であるが、本変形例にあってはデータAとデータB₁との比較結果をデータCとして出力する。

【0043】130はROMであり、比較器109から供給されたデータCに基づいて、上記実施例におけるビット・アダー110と同様の信号を出力する。すなわ

14

ち、ビット・アダー110は、“8”ビットのデータCに基づいて、計“3”ビットの信号GE5、E₀、S₃を出力するものであったから、“8”ビットのアドレスバスを有し“3”ビットのデータ出力を有するROMに置換することが可能である(但し、本変形例にあっては信号S₃は使用しない)。次に、140はモードコントローラであり、その詳細を図10を参照して説明する。

【0044】図において141はラッチであり、クロック信号CLKが“0”レベルの時ににおいて信号E₀をラッチし、その反転信号を信号MSK₀として出力する。142はJ-Kフリップフロップであり、その両入力端J、Kに信号GE5が供給される。従って、クロック信号CLKの立上がり時ににおいて信号GE5が“1”であればJ-Kフリップフロップ142の出力信号は反転され、信号GE5が“0”であれば出力信号は反転されないことになる。143はEOR回路であり、信号GE5と信号DINVとの排他的論理和を信号DSELとして出力する。この信号DSELは、切換信号として切換回路105に供給される。なお、本変形例において、上記以外の構成は上記実施例と同様である。

【0045】②変形例の動作

次に、図11を参照し、本変形例の動作を具体例を挙げて説明する。なお、レジスタ103に供給されるデータAは、上記実施例と同一のものとする。また、信号E₀は、この変形例においては、前述の実施例の信号EQUと同じ意味の信号である。時刻t₀₀においてクロック信号CLKが立上がると、レジスタ103にデータAがラッチされる。なお、この時点においてJ-Kフリップフロップ142の出力(信号DINV)は“0”にリセットされており、かつ、信号GE5は“0”であることとする。かかる前提により、信号DSELは“0”になり、切換回路105においてデータAが選択され、データA₁として出力される(時刻t₀₁参照)。

【0046】次に、時刻t₁₀においてクロック信号CLKが立上がると、レジスタ103に新たなデータA (“11000000”)がラッチされる。また、これと同時に、先に切換回路105から出力されたデータA₁ (“00001111”)がレジスタ106にラッチされ、先のデータA(同値)がレジスタ120にラッチされデータB₁として出力される。データA、B₁の各ビットを比較すると、“6”ビットの相違があるから、ROM130から“1”の信号GE5と、“0”の信号E₀とが出力される。さらに、信号DINVは“0”であるから、“1”の信号DSELがEOR回路143から出力され、切換回路105においてインバータ104の出力 (“00111111”)が選択される。次に、時刻t₁₂~t₂₀においてクロック信号CLKが“0”レベルになると、ラッチ141の反転出力信号である信号MSK₀の値は信号E₀の反転値、すなわち、この期間においては“1”になる。そして、時刻t₂₀においてクロ

15

ック信号CLKが立ち上がると、信号MSK₀の値は時刻 t_{22} まで“1”に保持される。

【0047】また、時刻 t_{20} においてクロック信号CLK、CLK₀が立上がると、レジスタ103に新たなデータA（値D2＝“11110000”）がラッチされるとともに、先のデータA1がレジスタ106にラッチされ、先のデータAがレジスタ120にラッチされる。さらに、信号GE5は“1”であるから、J-Kフリップフロップ142の出力が反転され、信号DINVが“1”に設定される。

【0048】ここで、データA、B1を比較すると、相違するビット数は「2」である。従って、ROM130から“0”の信号GE5が出力される。ここで、信号DINVは“1”に設定されているから、EOR回路143を介して“1”の信号DSELが出力され、切換回路105にあっては引続きインバータ104の出力が選択される。また、時刻 $t_{22} \sim t_{30}$ において、クロック信号CLKが“0”レベルになると、ラッチ141の反転出力信号である信号MSK₀の値は信号E₀の反転値、すなわち、この期間においては“1”になる。そして、時刻 t_{30} においてクロック信号CLKが立ち上がると、信号MSK₀の値は時刻 t_{32} まで“1”に保持される。

【0049】また、時刻 t_{30} においてクロック信号CLK、CLK₀が立上がると、レジスタ103に新たなデータA（値D3＝“11110000”）がラッチされるとともに、値D2がレジスタ120にラッチされ、値D2がレジスタ106にラッチされる。さらに、信号GE5は“0”であるから、J-Kフリップフロップ142において、信号DINVが“1”に保持される。次に、データA、B1は同一であるから、信号E₀は“1”に、GE5は“0”に設定される。また、信号DINVは“1”であるから、信号DSELは引続き“1”に保持される。さらに、信号E₀が“1”であるから、時刻 $t_{32} \sim t_{40}$ においてクロック信号CLKが“0”レベルになると、ラッチ141の反転出力である信号MSK₀の値は、信号E₀の反転値、すなわち、“0”になる。そして、時刻 t_{40} において、クロック信号CLKが立ち上がると、信号MSK₀の値は“0”に保持される。

【0050】また、時刻 t_{40} においてクロック信号CLKが立上がると、レジスタ103に新たなデータA（値D4＝“00111111”）がラッチされる。このとき、クロックCLK₀は立ち上がらないので、レジスタ106、120はラッチを行わず前の値を保持する。このとき、レジスタ120の内容はD2（＝D3）になり、レジスタ106の内容はD2（＝D3）になる。また、信号GE5は“0”であったから、信号DINVは引続き“1”に保持される。一方、データA、B1間で「6」ビットの相違があるから、信号GE5は“1”に設定される。従って、EOR回路143におい

16

て、信号DSELは“0”に設定される。また、信号E₀は“0”に設定されるから、次に時刻 $t_{42} \sim t_{50}$ においてクロック信号CLKが“0”レベルになると、信号MSK₀が“1”になり、時刻 t_{50} においてクロック信号CLKが立ち上がると、信号MSK₀は“1”に保持される。

【0051】また、時刻 t_{50} においてクロック信号CLK、CLK₀が立上がると、レジスタ103に新たなデータA（値D5＝“00111111”）がラッチされ、値D₄がレジスタ120および106にラッチされる。また、信号GE5は“1”であるから、J-Kフリップフロップ142において信号DINVが反転され、“0”に設定される。一方、データA、B1は同一であるから、信号E₀は“1”に設定され信号GE5は“0”に設定される。従って、次に時刻 $t_{52} \sim t_{60}$ においてクロック信号CLKが“0”レベルになると、信号MSK₀は“0”になり、時刻 t_{60} においてクロック信号が立ち上がったときに“0”に保持される。

【0052】また、時刻 t_{60} においてクロック信号CLKが立上がると、レジスタ103に新たなデータA（D6＝“11000000”）がラッチされる。このとき、クロックCLK₀は立ち上がらないので、レジスタ106、120はラッチを行わず前の値を保持する。また、レジスタ120の内容はD5（＝D4）になり、レジスタ106の内容はD5（＝D4）になる。そして、信号GE5は“0”であるから、信号DINVは“0”のまま保持される。一方、データA、B1間で「8」ビットの相違があるから、信号GE5は“1”、信号E₀は“0”に設定される。従って、時刻 $t_{62} \sim t_{70}$ においてクロック信号CLKが“0”レベルになると信号MSK₀は“1”になり、時刻 t_{70} においてクロック信号CLKが立上がると“1”の値が保持される。このとき、信号DINVは“1”に設定される。以上の動作により、本変形例にあっては、上記実施例と同様のデータB、信号DINVおよび信号MSK₀が得られる。

【0053】C. 2. 変形例2

上記実施例においては、ディスプレイ・コントローラ100が出力した信号MSK₀に基づいてRAM・DAC200内のクロックがマスクされたが、これと同様のことをディスプレイ・コントローラ100の内部で実行してもよい。その具体例を図12を参照して説明する。図において、160、161はクロックマスク回路であり、上記実施例におけるクロックマスク回路221～228と同様に構成されている。150はモードコントローラであり、上記変形例1におけるモードコントローラ140と同様に構成されているが、その内部においてはレジスタ141（図10参照）に相当するものが含まれていない。また、ROM130は、信号E₀を出力する必要はなく、信号GE5のみを出力すれば足りる。

【0054】本変形例にあっては、ROM130にデー

タAが供給されるとともに、クロックマスク回路160に信号MSK₂が供給されることを前提としている。ここで、信号MSK₂は、信号MSK₀を「2」クロック周期だけ進めた信号であり、レジスタ103にデータAを供給する回路(図示せず)において、上記実施例と同様の方法によって出力される。クロックマスク回路160は、信号MSK₂が供給されると、これを「1」クロック周期遅延させ信号MSK₁を出力するとともに、クロック信号CLKを信号MSK₁によってマスクしたクロック信号CLK₁を出力する。このクロック信号CLK₁は、レジスタ103に対して、クロック信号CLKに代えて供給される。なお、本変形例においては、連続する2つのデータ値の比較を、本回路の前段階で実施し、これを元に信号MSK₂を供給するようにしている。

【0055】また、クロックマスク回路161は、信号MSK₁を「1」クロック周期遅延させ信号MSK₀を出力するとともに、クロック信号CLKを信号MSK₀によってマスクしたクロック信号CLK₀を出力する。このクロック信号CLK₀は、レジスタ106、120およびモードコントローラ150に対して、クロック信号CLKに代えて供給される。なお、本変形例において上記以外の構成は、変形例1と同様である。

【0056】本変形例におけるタイムチャートを図13に示す。同図(f)、(g)によれば、同一のデータAが連続してレジスタ103に供給される場合(時刻t₅₀およびt₆₀)にはクロック信号CLK₁がマスクされ、レジスタ103においてラッチ動作が行われないことが判る。同様に、これに対応するデータBがレジスタ106、120に供給される場合(時刻t₄₀およびt₆₀)には、クロック信号CLK₀がマスクされ、レジスタ106、120におけるラッチ動作は行われない。従って、本変形例によれば、消費電力を一層削減することが可能である。

【0057】C. 3. 変形例3

ところで、データバス101が長いケーブル状になることがあり、このような場合にクロック信号がそのままのスピードで伝送されると、消費電力が増えるばかりでなく、不要輻射電波、雑音妨害電波の発生源になってしまう。そこで、このような場合には、送信側からクロック信号を分周して出力し、受信側においては、伝送されたクロック信号を元のクロック信号に再生して使用するように構成してもよい。

【0058】ここで、クロック信号CLKを1/4分周して伝送する場合を例にとって説明する。図14は、変形例3の概略構成を示すブロック図であり、図において、180は、クロック信号CLKを1/4分周する分周器であり、その出力はクロック信号CHCKとして出力される。このクロック信号CHCKは、RAM・DAC200内のフェイズロックドループ250において受

信され、復調されたクロック信号RCLKとして出力される。

【0059】図15は、フェイズロックドループ250の構成を示すブロック図である。図に示す位相検出器250aは、クロック信号CHCKと分周器250eから出力される分周信号DVCKの位相差を検出し、クロック信号CHCKが早いときは+、分周信号DVCKが早いときは-の信号を出力する。チャージポンプ250bは、位相検出器250aの出力信号を積分し、位相差に対応した制御信号を作成する。この制御信号は、ローパスフィルタ250cによって平滑された後に、電圧制御発振器250dに供給され、その発振周波数を決定する。電圧制御発振器250dが出力するクロック信号RCLKは、RAM・DAC200内において用いられるとともに、分周器250eによって1/4分周されて分周信号DVCKとなる。

【0060】以上のループによれば、分周信号DVCKの位相および周期は、クロック信号CHCKと同一になるように制御される。そして、電圧制御発振器250dから出力されるクロック信号RCLKは、分周信号DVCKと同期し、かつ、4倍の周波数を有する信号となる。すなわち、クロック信号RCLKは、クロック信号CLKと同期するとともに、同一周期を有することになり、受信側であるRAM・DAC200においてクロック信号CLKが再生されたことになる。ここで、上記動作におけるクロック信号CLK、CHCK(出力側)、CHCK(受信側)、RCLKおよび分周信号DVCKを図16に示す。また、クロック信号CLKは通常水晶発振器によって発生するので、極めて安定しており、短時間的な変化はほとんどなく、ローパスフィルタ250cは簡単な構成のものでよい。ただし、フェイズロックドループの感度は、高い方が望ましい。なお、クロックの分周比は1/4に限らず、例えば、1/8、1/16あるいは1/256等任意の比を設定することができる。

【0061】C. 4. 変形例4

ところで、8ビットづつのR、G、Bデータが順次転送されるようなモードにおいて、同一色が連続するとき場合は、(R、G、B)全体としては同じデータであっても、RとG、GとB、BとRはそれぞれ異なるデータとなるため、前述した各実施例のように隣接するデータを比較すると、同一色を指示するデータが連続するにもかかわらずクロックはマスクされない。

【0062】また、画像表示においては、規則的な繰り返し模様を表示することが多くあるが、このような場合にあっては、数バイト毎に同じカラーコードが繰り返される。この場合においても、上述した各実施例のように隣接するデータを比較していると、同一模様が連続するにもかかわらず、同一データが検出されないためにクロックはマスクされない。すなわち、以上のような状況においては、低消費電力化が望めないという問題が生じ

19

る。そこで、以下においては、このような場合においても、低消費電力化が図れる変形例について説明する。

【0063】図17は、変形例4の要部の構成を示すブロック図である。図において、190~193は、順次カスケードに接続されているレジスタであり、レジスタ193から出力されたデータが順次転送されるようになっている。そして、レジスタ193の出力データがデータBとしてコンパレータ194に供給されている。また、195は、リピータ信号発生部であり、コンパレータ194の比較結果に基づき、データA、Bが一致している場合に“1”、不一致の場合に“0”となる信号RPT（前述した実施例のマスク信号と等価）を出力する。また、ドライバ107は、レジスタ106のデータを出力するように構成されている。なお、ディスプレイ・コントローラ100の他の構成は、前述した各実施例と同様である。

【0064】一方、261、262、263は、順次カスケードに接続されているレジスタであり、レジスタ205の出力データが順次転送されるようになっている。260は切換回路であり、信号RPTが“0”の場合に受信回路201の出力データを、また、信号RPTが“1”の場合にレジスタ263の出力データをレジスタ205に供給する。なお、RAM・DAC200の他の部分の構成は、前述した各実施例と同様である。上述した構成によれば、コンパレータ194によって最新のデータAと4バイト前のデータBが比較され、それらが一致していれば信号RPTが“1”になるとともに、ドライバ107は新しいデータを出力しない。すなわち、4バイト前のデータと一致するデータはRAM・DAC200へ供給されない。

【0065】一方、RAM・DAC200においては、信号RPTが“0”の場合は受信回路201から切換回路260を介して供給されるデータがレジスタ205に転送され、レジスタ205、261、262内のデータは各々レジスタ261、262、263に転送され、レジスタ263内のデータは破棄される。したがって、受信回路201に新たなデータが転送されたときには、レジスタ263には4バイト前のデータが転送される。

【0066】次に、信号RPTが“1”の場合は、切換回路260はレジスタ263内のデータをレジスタ205に転送する。このとき、ディスプレイ・コントローラ100のドライバ107は新しいデータの転送を行わないが、転送されなかったデータは4バイト前のデータと同一のデータである。そして、レジスタ263から切換回路260を介してレジスタ205に転送されたデータは、4ビット前のデータであるから、ドライバ107の転送が行われた場合と同一のデータがレジスタ205に転送される。このように、この変形例においては、ディスプレイ・コントローラ100からデータ転送がされなかったときは、RAM・DAC200内に予め記憶され

20

ていた同じデータが後段の回路に転送され、実質的に転送がなされたのと同様の状態になる。

【0067】例えば、ディスプレイ・コントローラ100において、4バイト毎に同じデータが繰り返される場合は、信号RPTが連続的に“1”になるため、ドライバ107は出力無変化状態が続く。また、RAM・DAC200ではレジスタ205、261、262、263内のデータが循環するから、レジスタ205から後段に供給されるデータは、ディスプレイ・コントローラ100が転送しようとした繰り返しデータと同一のデータになる。

【0068】C. 5. 変形例5

次に、図18はこの発明の変形例5の構成を示すブロック図である。この変形例は、上述した変形例4と同様に繰り返しデータを転送する場合の低消費電力化を更に図った例である。図において、RBAはレジスタバンクであり、複数のレジスタから構成されている。WSaはレジスタバンクRBA内のいずれかを選択して書き込むライトセクタであり、RSaはレジスタバンクRBAのいずれかを選択して読み出すリードセクタである。ライトセクタWSaおよびリードセクタRSaは、各々カウンタCTRaのカウント内容に応じて同一のアドレスを選択するようになっている。ここで、図19は上記各部の具体例である。図においては、レジスタバンクRBは、レジスタRE0~RE3によって構成されており、各々の出力データは、リードセクタRSaの第0~第3入力端に供給される。リードセクタRSaはカウンタCTRaのカウント出力に応じて第0~第3入力端を順次選択するようになっている。

【0069】また、ライトセクタWSaは4つのナンドゲートNA0~NA3およびデコーダDCによって構成されている。デコーダDCはカウンタCTRaのカウント出力に応じて第0~第3出力端から順次“1”信号を出力するようになっており、これら第0~第3出力端がナンドゲートNA0~NA3の一方の入力端に接続されている。カウンタCTRaは、クロック信号CLKをカウントするようになっており、また、ナンドゲートNA0~NA3の他方の入力端には、クロック信号CLKの反転信号である信号 $\overline{\text{CLK}}$ が供給されている。

【0070】上述の構成によれば、クロック信号CLKが立ち上がる毎にカウンタCTRaがカウントアップし、リードセクタRSaがレジスタRE0、RE1、RE2、RE3の順でサイクリックにその内容を読み出す。一方、ライトセクタWSaは、リードセクタRSaより1クロック分遅れたタイミングで、レジスタRE0、RE1、RE2、RE3の順でサイクリックに書き込みパルスを提供する。この結果、例えば、あるクロックの立ち上がりでレジスタRE0の内容がリードセクタRSaによって読み出されると、その次のクロックの立ち上がり時には、レジスタRE0に書き込みが行わ

21

れる。これとともに、レジスタRE1の内容がリードセクタRSaによって読み出され始める。

【0071】リードセクタRSaの出力信号は、図18に示すように比較器196に供給され、データAと比較される。そして、制御部197は、比較器109の出力信号に基づいて信号MSKを作成するとともに、比較器196の出力信号に基づいて信号RPTNを作成する。この信号MSKの作成は、例えば、前述した実施例と同様の回路（図3参照）によっておこなう。また、信号RPTNは、データAとリードセクタRSaの出力データが同一の場合に“1”、その他の場合に“0”となるように作成される。ここで、レジスタバンクRbaは、4つのレジスタRE0～RE3から構成されているから、データAは4バイト前のデータと比較されることになる。そして、ドライバ107は、信号RPTNが“1”のときは新しいデータの送出を行わないように構成されている。

【0072】次に、RAM・DAC200内には、上述したライトセクタWSa、レジスタバンクRba、リードセクタRSaおよびカウンタCTRaと同一構成のライトセクタWSb、レジスタバンクRBb、リードセクタRSbおよびカウンタCTRbが設けられている。この場合ライトセクタWSbには受信回路RCV201の出力データが供給され、リードセクタRSbの出力データは切換回路204の一方の入力端に供給される。切換回路204は、信号RPTNが“1”のときにリードセクタRSbの出力データを選択し、信号RPTNが“0”のときに受信回路201の出力データを選択する。また、ライトセクタWSbは、信号RPTNが“1”の場合は、書き込みを禁止するようになっている。

【0073】上述した構成によれば、データの繰り返しがない場合は、レジスタ103から出力されたデータは、レジスタ106、ドライバ107およびデータバス101を介して受信回路201に受信され、さらに、切換回路204を介してレジスタ205に転送される。

【0074】一方、データの繰り返しがある場合、例えば、4バイト毎に同じデータが繰り返される場合は、信号RPTNが連続的に“1”になるため、ドライバ107は出力無変化状態が続く。また、RAM・DAC200では、切換回路204がリードセクタRSbの出力データを選択するため、レジスタRE0、RE1、RE2、RE3内のデータが循環して出力される。すなわち、レジスタ205に供給されるデータは、ディスプレイ・コントローラ100が転送しようとした繰り返しデータと同一のデータになる。したがって、4バイト毎に繰り返すデータを転送する場合は、ドライバ107が無変化状態になるので、大幅な低消費電力化が図れる。

【0075】しかも、この変形例においては、4バイト前のデータを読み出すのにレジスタバンクRba、RB

22

bのアドレスを切り換えるという方式を採用しているため、前述した変形例4と比較しても低消費電力化が推進されている。すなわち、変形例4においては、レジスタ190～193の間、レジスタ205、261～263、切換回路260の間をデータが転送されるため（図17参照）、この部分における電力消費が避けられないが、変形例5においては、アドレス切換が行われているだけであるため、消費電力を極めて小さくすることができる。また、隣接するデータが同一の場合は、図2に示す実施例と同様に信号MSKが“1”になるから、クロック信号のマスクによる低消費電力化も図ることができる。

【0076】ところで、変形例4、5は、データが4バイト毎に循環する場合に効果的であったが、レジスタおよびカウンタの数を適宜設定することにより、2バイト毎、3バイト毎、6バイト毎、8バイト毎、16バイト毎、あるいは256バイト毎等任意の繰り返し周期に適合させることができる。ところで、レジスタを予め多数設けておき、繰り返しの周期に応じた数のレジスタを用いるように構成すれば、モード信号等の切換に応じて瞬時に繰り返し周期に適合させることができる。また、転送されるデータは、1バイト（8ビット）単位に限らず、データの幅に併せてレジスタのビット数を設定すればよい。また、変形例5において、送信するデータが所定バイト前のデータと一致した場合には、レジスタバンクRbaにデータ書き込みを行わず、前のデータを保持するように構成してもよい。すなわち、レジスタバンクRbaには、RAM・DAC200に実質的に転送されたデータ（レジスタバンクRBbにより再生されたものを含むデータ）が順次記憶されるように構成すればよい。

【0077】以上の実施例において、送信装置を簡単にするため、予めメモリの内容をチェックし、そのチェック結果に応じたデータや制御コード等を送信するように構成してもよい。例えば、「同一データの連続の検出」、「連続するデータの間の反転ビット数のカウントとデータ反転の判定」、「データの繰り返しの検出」等を行う。このように各種検出を行い、その結果、対応するデータを短いデータと制御コードで置換し、表示メモリに格納する。このような処理は、高速CPUを使い、ソフトウェア処理で短時間に実行できる。これら制御コードは、以上の実施例における送信装置内の制御信号に対応させることができる。これにより、送信装置は、メモリを読み出し、データ又は制御コード信号を決められたインターフェイス上に再現するのみで良いので、送信装置の構成を非常に単純化することができる。さらに、このコード化により、表示データの大幅な圧縮が可能となり、表示メモリを小さくすることができる。

【0078】なお、前述した各実施例におけるレジスタ、ラッチ、フリップフロップ等においては、説明簡略化の

ためリセット入力端を省略したが、実際の回路においてはそれぞれにリセット入力端が存在している。

【0079】

【発明の効果】以上説明したように、請求項1および3に係る発明によれば、同一内容のデータが連続して転送される場合にクロック信号がマスクされるから、マスクされたクロックに対応する処理が休止され、消費電力が低減される。また、請求項2および4に係る発明によれば、第1のデータと第2のデータとが過半数のビットにおいて相違する場合は第2のデータのビットパターンが反転して出力されるから、論理状態の遷移頻度が小となり、消費電力が低減される。また、請求項5、8に記載の発明によれば、クロック信号が高速であっても、送信装置と受信装置との間は分周されて伝送されるので、消費電力を低減できるとともに、不要輻射電波、雑音妨害電波等も防止することができる。請求項6、7に記載の発明によれば、n回毎に同じデータが繰り返し転送される場合には、データ転送はされず、指示信号だけが送出され、受信側では指示信号が出力されている場合には、n回前の転送データを受信データとして順次後段に送出するので、低消費電力化を大幅に図ることができる。

【図面の簡単な説明】

【図1】一実施例の全体構成を示すブロック図である。

【図2】一実施例のインターフェース部のブロック図である。

【図3】一実施例のインターフェース部の要部のブロック図である。

【図4】同図(a)は一実施例における2ビットアダー1101A~1101Hの回路図、同図(b)はその真理値表である。

【図5】一実施例におけるRAM・DAC200のブロック図である。

【図6】一実施例のタイムチャートである。

【図7】一実施例におけるRAM・DAC200の要部の回路図である。

【図8】図7におけるタイムチャートである。

【図9】変形例1のブロック図である。

【図10】変形例1の要部の回路図である。

【図11】変形例1のタイムチャートである。

【図12】変形例2のブロック図である。

【図13】変形例2のタイムチャートである。

【図14】変形例3の概略構成を示すブロック図であ

る。

【図15】図14に示すフェイズロックドループの構成を示すブロック図である。

【図16】変形例3の要部の波形を示す波形図である。

【図17】変形例4の構成を示すブロック図である。

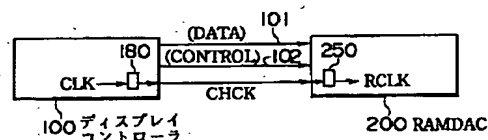
【図18】変形例5の構成を示す波形図である。

【図19】変形例5の要部の構成を示すブロック図である。

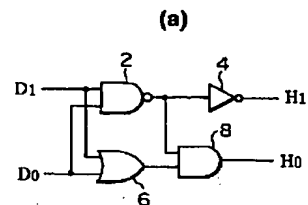
【符号の説明】

- 100 ディスプレイ・コントローラ (送信装置)
- 104 インバータ (反転表示信号を出力する手段)
- 105 切換回路 (反転表示信号を出力する手段)
- 109 比較器 (マスク信号発生手段)
- 110 ビット・アダー (マスク信号発生手段)
- 111 モードコントローラ (マスク信号発生手段)
- 180 分周器 (分周出力手段)
- 200 RAM・DAC (受信装置)
- 205 レジスタ (パイプライン処理回路; 受信制御手段)
- 206 バッファ (パイプライン処理回路)
- 203 インバータ (受信データ反転手段)
- 204 切換回路 (受信データ反転手段; 受信制御手段)
- 221~228 クロックマスク回路 (マスク手段、遅延手段)
- 250 フェイズロックドループ (クロック信号再生手段)
- 190~193 レジスタ (転送データ記憶手段)
- 194 比較器 (比較手段)
- 195 リビート信号発生部 (転送停止制御手段)
- 197 制御部 (転送停止制御手段)
- 260 切換回路 (受信制御手段)
- 261~263 レジスタ (受信制御手段)
- WSa ライトセクタ (転送停止制御手段)
- RBa レジスタバンク (転送停止制御手段)
- RSa リードセクタ (転送停止制御手段)
- CTRa カウンタ (転送停止制御手段)
- WSb ライトセクタ (受信制御手段)
- RBb レジスタバンク (受信制御手段)
- RSb リードセクタ (受信制御手段)
- CTRb カウンタ (受信制御手段)

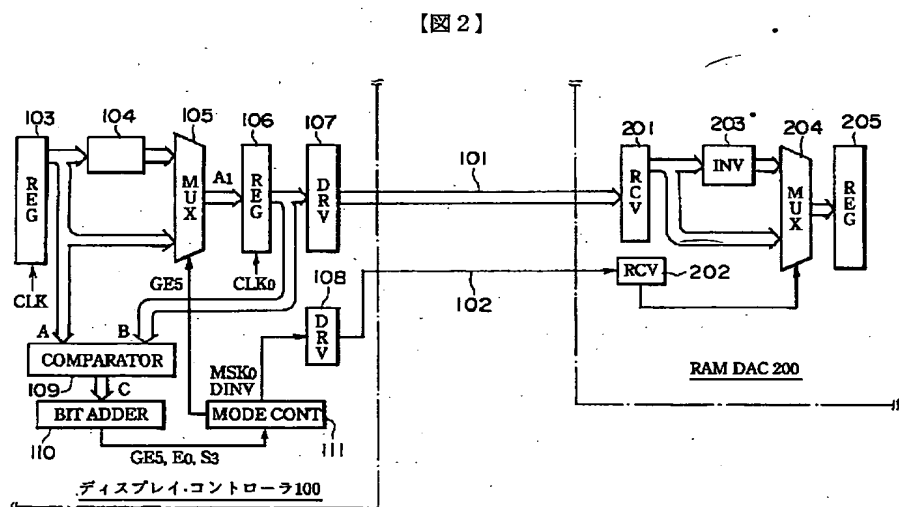
【図14】



【図4】

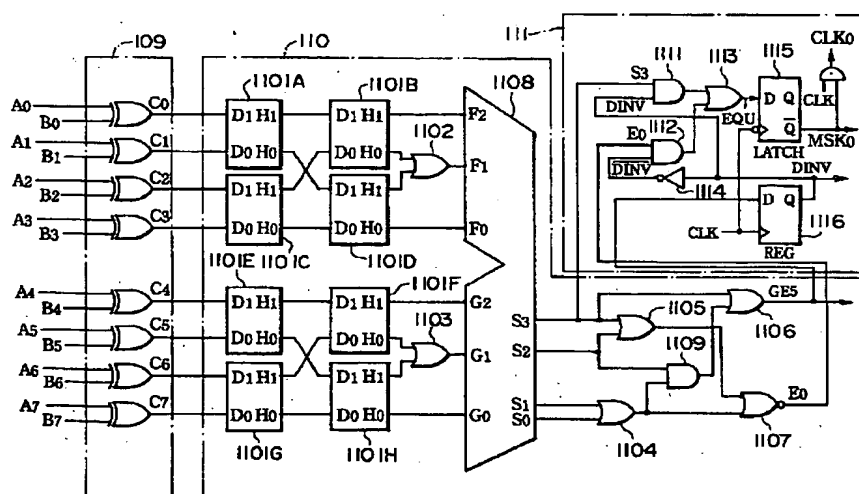


(b)

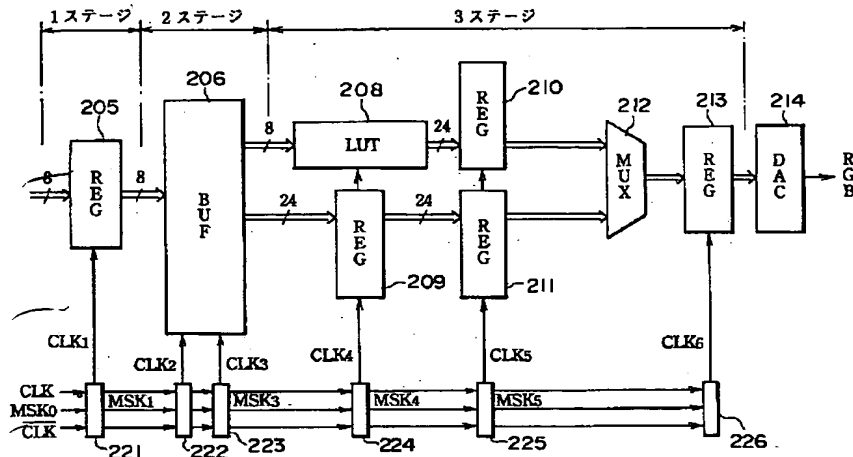


D1	D0	H1	H0
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

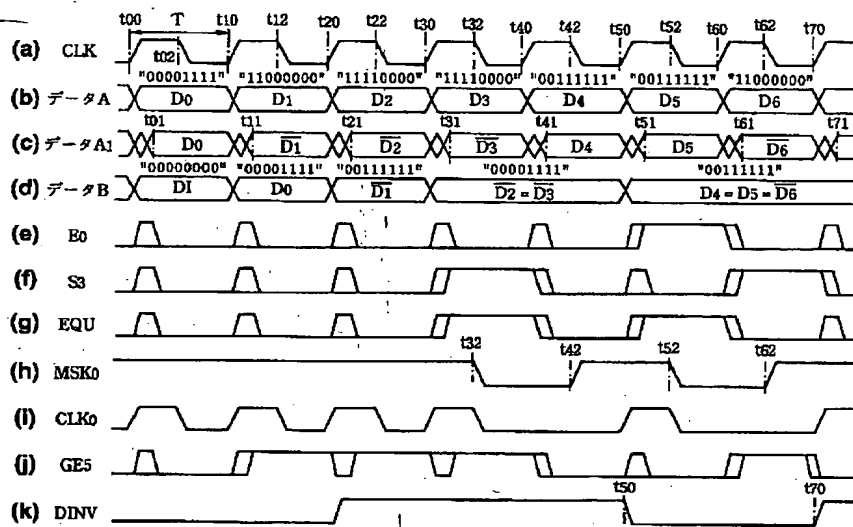
【图 3】



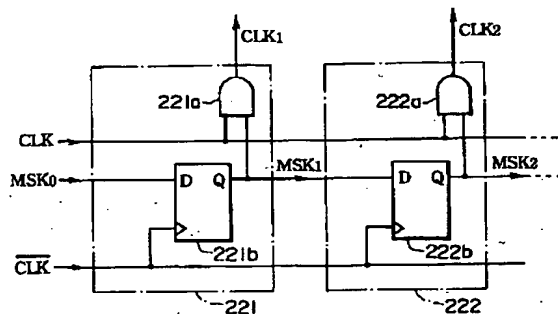
【図 5】



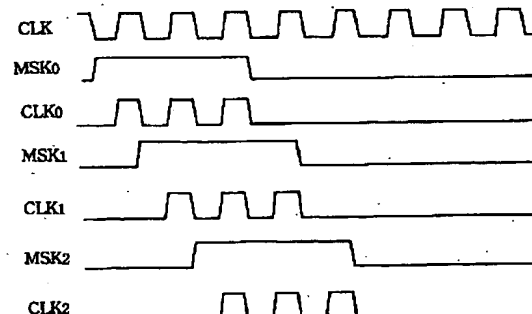
【図 6】



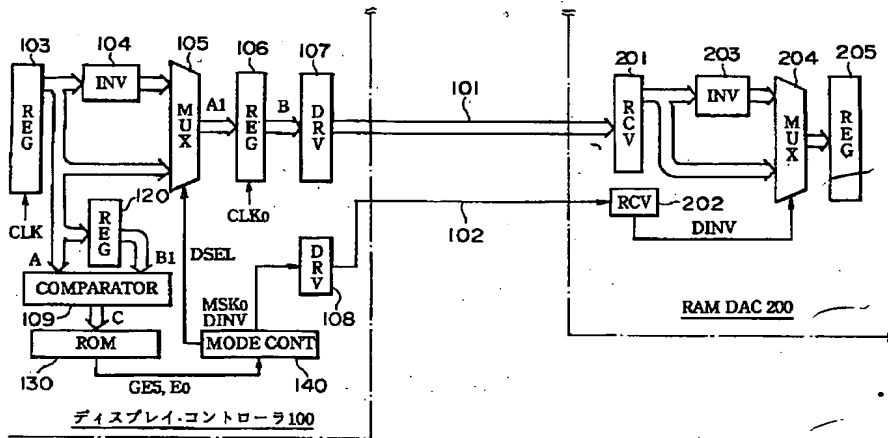
【図 7】



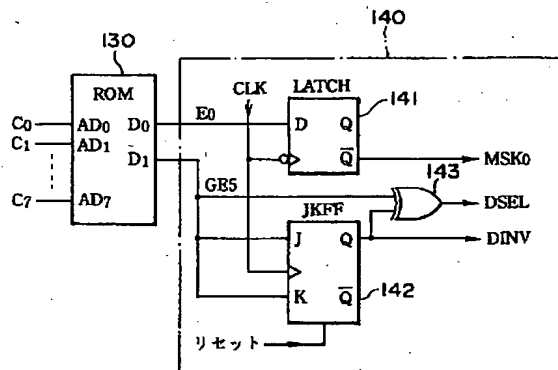
【図 8】



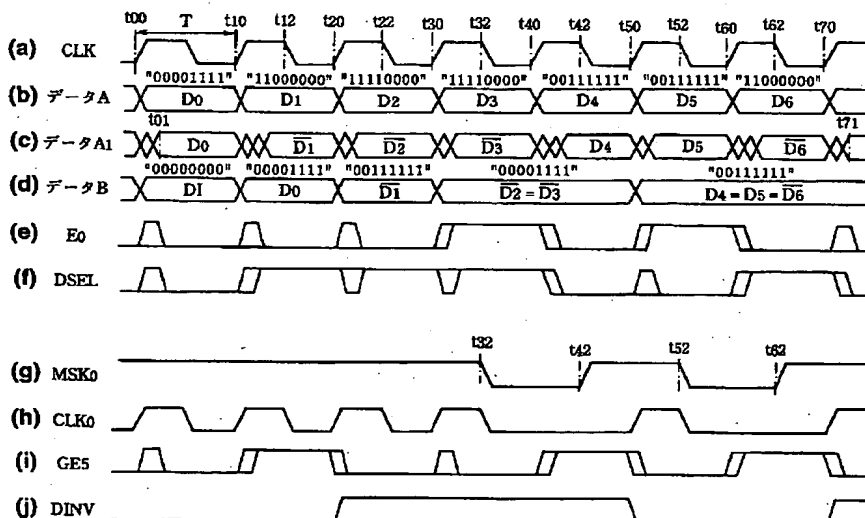
【図 9】



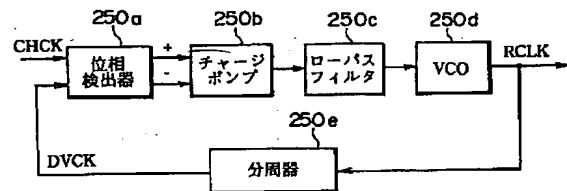
【図 10】



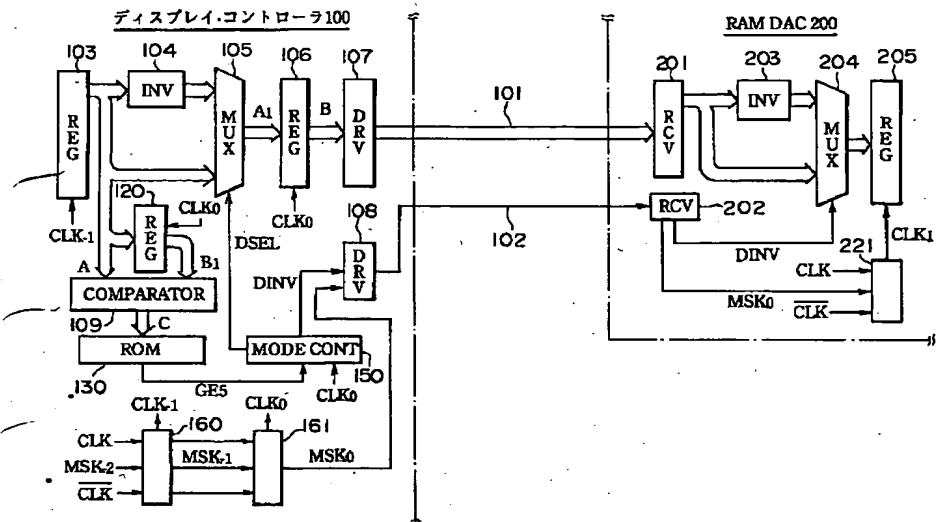
【図 11】



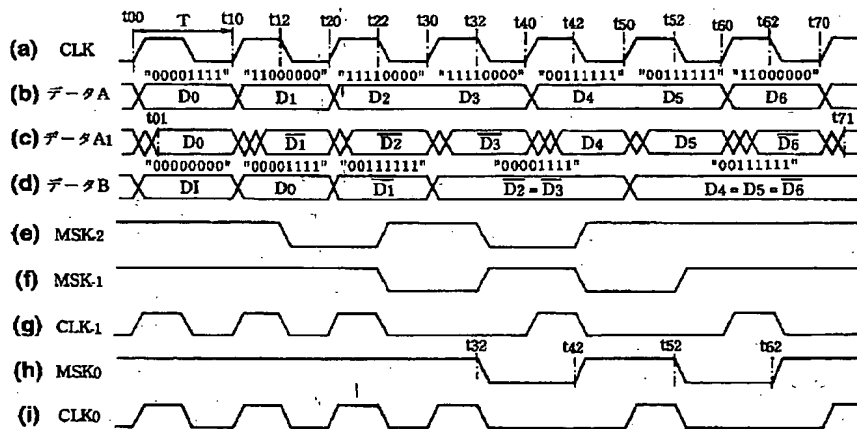
【図 15】



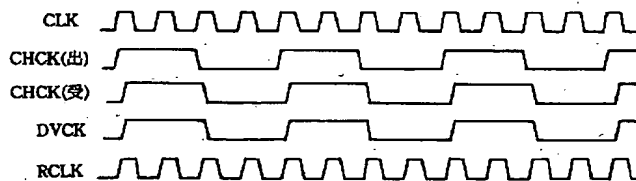
【图 1 2】



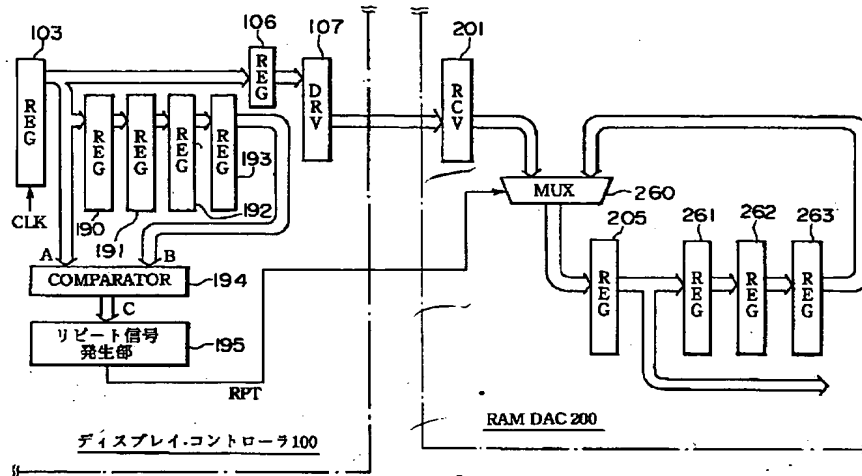
【图 13】



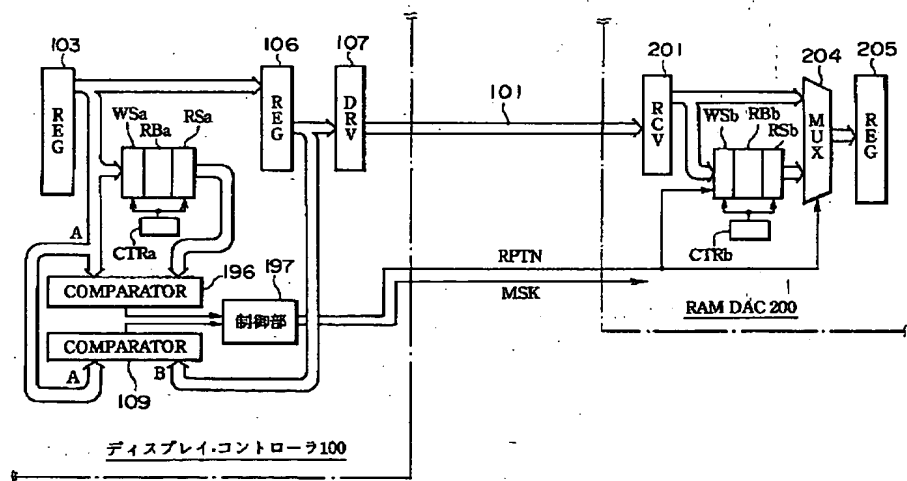
【图 16】



【図 17】



【図 18】



【図 19】

